

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-43995

(P2003-43995A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
G 09 G 3/30		G 09 G 3/30	J 3 K 0 0 7
G 09 F 9/00	3 4 8	G 09 F 9/00	3 4 8 C 5 C 0 8 0
9/30	3 3 8	9/30	3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z 5 G 4 3 5
G 09 G 3/20	6 2 1	G 09 G 3/20	6 2 1 F

審査請求 未請求 請求項の数22 OL (全28頁) 最終頁に続く

(21) 出願番号 特願2001-231443(P2001-231443)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22) 出願日 平成13年7月31日 (2001.7.31)

(72) 発明者 太田 益幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 奥野 武志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

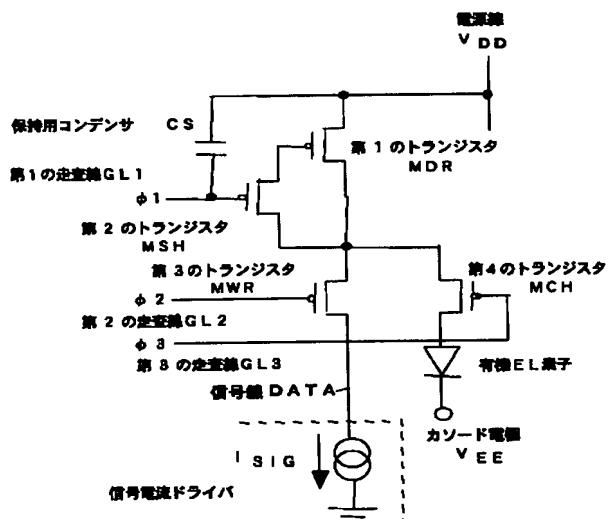
最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型OLED表示装置およびその駆動方法

(57) 【要約】

【課題】 良好的表示性能をもつOLED駆動画素回路
を提供する。

【解決手段】 1つの画素に4つのトランジスタを構成
し、第2、3のトランジスタMSH、MWRのゲート電
極に接続された第1、2の走査線GL1、GL2をアク
ティブにして、第1のトランジスタMDRのゲート電
極とドレイン電極を、第2のトランジスタMSHを介して
導通状態にし、第1、3のトランジスタMDR、MWR
を通して、電源から信号線に向けて、映像信号に対応
した値の電流を流し、第1の走査線GL1を非アクティブ
した後、第2の走査線GL2を非アクティブにし、その
あと第4のトランジスタMCHのゲート電極が接続され
た第3の走査線GL3をアクティブとし、第4のトラン
ジスタMCHを通して、映像信号に対応した値の電流を
OLEDに流す。



【特許請求の範囲】

【請求項1】 単位画素が複数のトランジスタとOLED素子から成る表示装置において、前記単位画素内に、ソース電極が電源に接続された第1のトランジスタと、一方の電極を前記電源に接続され、他方の電極を前記第1のトランジスタのゲート電極に接続されたコンデンサと、ソース電極またはドレイン電極の一方が前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が前記第1のトランジスタのゲート電極に接続され、ゲート電極が第1の走査線に接続された第2のトランジスタとソース電極またはドレイン電極の一方が前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が信号線に接続され、ゲート電極が第2の走査線に接続された第3のトランジスタと、ソース電極またはドレイン電極の一方が前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方がOLED素子に接続され、ゲート電極が第3の走査線に接続された第4のトランジスタとを有することを特徴とするアクティブマトリックス型OLED表示装置

【請求項2】 単位画素が複数のトランジスタとOLED素子から成る表示装置において、前記単位画素内に、ソース電極が電源に接続された第1のトランジスタと、一方の電極を前記電源に接続され、他方の電極を前記第1のトランジスタのゲート電極に接続されたコンデンサと、ソース電極またはドレイン電極の一方が前記第1のトランジスタのゲート電極に接続され、ゲート電極が第1の走査線に接続された第2のトランジスタとソース電極またはドレイン電極の一方が信号線に接続され、ゲート電極が第2の走査線に接続された第3のトランジスタと、ソース電極またはドレイン電極の一方がOLED素子に接続され、ゲート電極が第3の走査線に接続された第4のトランジスタとソース電極またはドレイン電極の一方が、前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が、前記第2のトランジスタのソース電極またはドレイン電極の他方、前記第3のトランジスタのソース電極またはドレイン電極の他方および前記第4のトランジスタのソース電極またはドレイン電極の他方に接続された第5のトランジスタとを有することを特徴とするアクティブマトリックス型OLED表示装置

【請求項3】 前記第2および第3の走査線が共通であり、前記第3のトランジスタと第4のトランジスタが異なった導電型であること特徴とする請求項1および請求項2記載のアクティブマトリックス型OLED表示装置

【請求項4】 前記第3のトランジスタと前記第4のトランジスタが一方が導通状態の時、他方は非導通状態になるような閾値特性を有していること特徴とする請求項3記載のアクティブマトリックス型OLED表示装置

【請求項5】 前記トランジスタは、ポリシリコンを用

いた薄膜トランジスタ素子であることを特徴とする請求項1から4記載のアクティブマトリックス型OLED表示装置

【請求項6】 前記第1のトランジスタは、ホール導電型のトランジスタであることを特徴とする請求項5記載のアクティブマトリックス型OLED表示装置

【請求項7】 前記第2のトランジスタは、ゲート電極を共通のゲート線に接続された2つ以上のトランジスタ素子を直列に接続して成ることを特徴とする請求項5および6記載のアクティブマトリックス型OLED表示装置

【請求項8】 アクティブマトリックス型OLED表示装置の垂直走査用回路あるいは水平駆動回路に用いるトランジスタ素子の少なくとも一つが、画素内のトランジスタ素子と同時に形成されることを特徴とする請求項5から7記載のアクティブマトリックス型OLED表示装置

【請求項9】 前記垂直走査回路は、外部または内部のシフトレジスタの1つの出力から3つの異なるパルス幅と位相を有する走査波形を発生させる回路を含むことを特徴とする請求項8記載のアクティブマトリックス型OLED表示装置

【請求項10】 前記水平駆動回路は、垂直走査期間の一部の期間において、前記映像信号に対応した電流を遮断し、前記信号線を一定の電位にするための充電回路を有することを特徴とする請求項8および9記載のアクティブマトリックス型OLED表示装置

【請求項11】 前記隣接する画素間の発光輝度の変化が最大2%であることを特徴とする請求項1から10記載のアクティブマトリックス型OLED表示装置

【請求項12】 請求項1から11項記載のアクティブマトリックス型OLED表示装置を用いることを特徴とする携帯端末用のディスプレイ

【請求項13】 請求項1から11項記載のアクティブマトリックス型OLED表示装置を用いることを特徴とする大型テレビ

【請求項14】 請求項1から11項記載のアクティブマトリックス型OLED表示装置を用いることを特徴とする高精細モニタ

40 【請求項15】 単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、第1の走査線および第2の走査線をアクティブにすることにより、第1のトランジスタのゲート電極とドレイン電極を、第2のトランジスタを介して導通状態にし、前記第1のトランジスタおよび第3のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、

第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、

50 前記第1の走査線を非アクティブした後、前記第2の走

査線を非アクティブにし、
前記第2の走査線を非アクティブにした後、第3の走査線をアクティブとし、

第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流すことを特徴とするアクティブマトリックス型OLED表示装置の駆動方法

【請求項16】 単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、
第1の走査線および第2の走査線をアクティブにし、第1のトランジスタのゲート電極と第5のトランジスタのドレイン電極を、第2のトランジスタを介して導通状態にすると共に、第5のトランジスタのゲート電圧に、所定のバイアス電圧を印加し、前記第1のトランジスタ、第3のトランジスタおよび第5のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、

第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、
前記第1の走査線を非アクティブした後、前記第2の走査線を非アクティブにし、

前記第2の走査線を非アクティブにした後、第3の走査線をアクティブとし、第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流すことを特徴とするアクティブマトリックス型OLED表示装置の駆動方法

【請求項17】 単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、
第1の走査線および第2の走査線をアクティブにすることにより、第1のトランジスタのゲート電極とドレイン電極を、第2のトランジスタを介して導通状態にし、前記第1のトランジスタおよび第3のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、

第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、
前記第1の走査線を非アクティブした後、
前記第2の走査線を第3のトランジスタに対して非アクティブ、第4のトランジスタに対してアクティブとし、第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流すことを特徴とするアクティブマトリックス型OLED表示装置の駆動方法

【請求項18】 単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、
第1の走査線および第2の走査線をアクティブにし、第1のトランジスタのゲート電極と第5のトランジスタのドレイン電極を、第2のトランジスタを介して導通状態にすると共に、第5のトランジスタのゲート電圧に、所定のバイアス電圧を印加し、前記第1のトランジスタ、第3のトランジスタおよび第5のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、

電流を流した後、
第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、

前記第1の走査線を非アクティブした後、
前記第2の走査線を第3のトランジスタに対して非アクティブ、第4のトランジスタに対してアクティブとし、第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流すことを特徴とするアクティブマトリックス型OLED表示装置の駆動方法

10 【請求項19】 単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、

ソース電極が電源に接続された第1のトランジスタのゲート電極にソース電極またはドレイン電極の一方が接続され、前記第1のトランジスタのドレイン電極に、ソース電極またはドレイン電極の他方が接続された第2のトランジスタのゲート電極に接続された第1の走査線の電圧を、前記第2のトランジスタが非導通状態になるように非アクティブにした後、

ソース電極またはドレイン電極の一方が第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が信号線に接続され第3のトランジスタのゲート電極に接続された第2の走査線の電圧を、前記第3のトランジスタが非導通状態になるように非アクティブにし、

ソース電極またはドレイン電極の一方が前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方がOLED素子に接続された第4のトランジスタのゲート電極に接続された第3の走査線の電圧を、前記第4のトランジスタ素子が導通状態になるようにアクティブにすることを特徴とするアクティブマトリックス型OLED表示装置の駆動方法

20 【請求項20】 単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、

ソース電極が電源に接続された第1のトランジスタのゲート電極にソース電極またはドレイン電極の一方が接続され、前記第1のトランジスタのドレイン電極に、ソース電極またはドレイン電極の他方が接続された第2のトランジスタのゲート電極に接続された第1の走査線の電圧を、前記第2のトランジスタが非導通状態になるように非アクティブにした後、

ソース電極またはドレイン電極の一方が第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が信号線に接続され第3のトランジスタのゲート電極と、

ソース電極またはドレイン電極の一方が前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方がOLED素子に接続された第4のトランジスタのゲート電極に接続された第2の走査線の電圧を、前記第3のトランジスタが非導通状態になり、

50 前記第4のトランジスタ素子が導通状態になるようにす

ることを特徴とするアクティブマトリックス型OLED表示装置の駆動方法

【請求項21】 単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、ソース電極またはドレイン電極の一方が、前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が、前記第2のトランジスタのソース電極またはドレイン電極の他方、前記第3のトランジスタのソース電極またはドレイン電極の他方および前記第4のトランジスタのソース電極またはドレイン電極の他方に接続された第5のトランジスタのゲート電極に所定のバイアス電圧を印加することを特徴とする請求項20および21記載のアクティブマトリックス型OLED表示装置の駆動方法

【請求項22】 前記所定のバイアス電圧は、前記第1のトランジスタおよび第5のトランジスタが、共に飽和領域で動作するように設定されることを特徴とする請求項16、18および21記載のアクティブマトリックス型OLED表示装置の駆動方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アクティブマトリックス型OLED表示装置に関して、表示品質の向上を目的とした、新しい表示装置と、駆動方法に関する。

(OLEDは、オーガニック・ライティング・エミッション・ダイオードの略称である。)

【0002】

【従来の技術】 従来のアクティブマトリックス型OLED表示装置の画素セルの回路は、縦横に張り巡らされた配線の交点に第1のトランジスタ（以下、スイッチング用トランジスタT1とも表す）を設け、そのゲート電極を走査線（ゲート線ともいう）に、ドレイン電極（またはソース電極）を信号線（ドレイン線またはソース線ともいう）に接続し、ソース電極（またはドレイン電極）は第2のトランジスタのゲート電極に接続し、前記第2のトランジスタ（以下、駆動用トランジスタT2とも表す）は、ソース電極（またはドレイン電極）が、電流供給線（以下、電源線、電源ライン、Vdd、アノード線、アノードラインとも表す）に接続され、ドレイン電極（またはソース電極）がOLED素子のアノード電極（あるいはカソード電極）に接続され、OLED素子の他方の電極がカソード電極（あるいはアノード電極）となる構造となっている。図25（A）にその等価回路を示す。

【0003】 上記のように、少なくとも2つのトランジスタが必要なのは、OLEDパネルに用いられるアクティブマトリックス方式は、基本的に次の条件を満足しなければならないためである。1. 特定の画素を選択し、必要な表示情報を与えられること。2. 1フレーム期間を通じてOLED素子に電流を流すことができることこ

こで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用トランジスタは液晶用にもあるが、駆動用トランジスタは、液晶に用いられるアクティブマトリックス方式には無く、OLEDに電流を流し、光させるために必要なトランジスタである。この理由は液晶の場合は、電圧を印加することでオン状態を保持することができるが、OLEDの場合は、電流を流しつづけて画素をオン状態とするからである。

【0004】 したがってOLEDパネルでは電流を流し続けるための電流源が必要であり、その役割を駆動用トランジスタが果す。まず、走査線がオンになると、スイッチング用トランジスタT1を通してキャパシタC1に電荷として蓄積される。このキャパシタC1が駆動用トランジスタT2のゲートに電圧を加え続けるため、スイッチング用トランジスタT1がオフになっても、電流供給線から駆動用トランジスタを介して電流が流れづけ、1フレーム期間にわたり画素をオンできる。この構成を用いて階調を表示させる場合、駆動用トランジスタT2のゲート電圧に階調に応じた電圧を印加する必要がある。ここで、仮に同じ電圧が駆動用トランジスタT2のゲート電極に印加されても、各画素の駆動用トランジスタのT2のしきい値電圧（以下、Vthとも表す）にばらつきがあれば、各画素でOLED素子に流れる電流値が変わってくる。したがって駆動用トランジスタのしきい値電圧のばらつきがそのまま表示に現れることになる。

【0005】 トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる低温多結晶トランジスタ（以下、低温ポリシリコン TFTとも表す）では、そのしきい値のばらつきが±1.0Vを超える範囲でばらつきを持つため、駆動用トランジスタT2を流れるオン電流がこれに対応してばらつき、表示に、ムラや、塩と胡椒を混ぜ合わせたようなザラツキが発生する。これらの表示不良は、しきい値電圧のばらつきのみならず、TFTの移動度のばらつき、オフ電流のばらつき、寄生容量のばらつき等でも発生する。したがってアナログ的に階調を表示させる方法では、均一な表示を得るために、トランジスタの特性を厳密に制御する必要があり（例えば、しきい値電圧では、±0.1V以下）、現状の低温多結晶ポリシリコン TFTではこのスペックを満足できない。この問題を解決するため、図25（B）～（D）に示すようにさまざまな回路構成が提案されている。

【0006】 図25（B）はSID98、DIGEST、p.11に開示された回路である。1画素内に4つのトランジスタを設けて、駆動用トランジスタT2のしきい値電圧のばらつきをコンデンサにより補償させて均一な電流を得る構成となっている。しかしながらこの構成では、駆動用トランジスタT2のしきい値電圧のばら

ツキは補償されるが、映像信号（以下、データとも表す）を電圧で与えているため、駆動用トランジスタの閾値電圧以外の移動度など、ON電流を与えるパラメータのバラツキを補償することは出来ない。

【0007】これに対しデータを電流で与えて、駆動用トランジスタT2の特性バラツキを補償する回路構成が提案された。図25(C)はIEDM98-p.875で開示されている構成である。データを電流Idataで与えることにより、上記課題の解決を図っている。

【0008】しかしながらこの方法は、

1. プログラムされる電流がOLED素子を通じてプログラムされるため、OLEDが大きな接合容量を持つ場合に、Idataの書き込み時間に時間がかかり、高速動作が期待できない。

2. 電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタ(MN4)に対し駆動電流を制御する駆動用トランジスタ(MN2)がソースフォローワとなる。従って駆動用トランジスタのソース電圧が、スイッチング用トランジスタの特性により変動する。などの欠点を有する。

【0009】また、これを解決できるものとして、図25(D)の回路がある。この回路は、信学技法ED2001-8SDM2001-8pp7に開示されている。駆動用トランジスタ(T3)のソース電極がVddに接続されており、かつIdataの書き込みが、前記OLED素子を介さない構成となるため、OLED素子の接合容量への充電が必要なく、高速動作に適した回路となっている。また、変形例として図25(E)の回路が上げられる。図25(E)の回路の動作は、図24(D)の回路動作と本質的に全く同じである。

【0010】

【発明が解決しようとする課題】ここで、これらの回路では、IEDM98-p.875で開示されているように、基本的に、信号電流書き込み用トランジスタ(MN3やT2)とゲート電圧を保持するためのサンプルホールド用トランジスタ(MN1やT1)が閉じてから、電圧供給用スイッチトランジスタ(MN4)や電流経路切り替えスイッチトランジスタ(T4)が開くようにならなければならぬ。

【0011】また、一方、これらの回路では、信号電流書き込み用トランジスタ(MN3やT2)とゲート電圧を保持するためのサンプルホールド用トランジスタ(MN1やT1)が同一の走査線に接続されているか、または、同時にON/OFFするように駆動されている。図25(C)の回路では、同じゲート電圧を信号電流書き込み用トランジスタ(MN3)とサンプルホールド用トランジスタ(MN1)に加えた場合、MN1のソース電位およびドレイン電位は、MN3のソース電位およびドレイン電位より、必ず低くなるため、pチャネルの場合、それらのトランジスタが同じしきい値特性を有すれ

ば、必ずMN1が先に閉じる。

【0012】また、電流書き込み用トランジスタ(MN3)と電圧供給用スイッチトランジスタ(MN4)が同時に閉じ、仮にMN1のしきい値がMN3しきい値より十分低くなり、MN3よりも後に閉じたとしても、MN4が開く前に閉じれば、駆動用トランジスタ(MN2)のゲート電圧への電圧の供給経路は全くないため（カソード電極からの電圧はOLED素子にブロックされている）、MN2のゲート電圧は、電流書き込み時とほぼ同じ電圧が正常に保持されるため問題は無い。nチャネルの場合も、極性が全く逆の関係になるが、相対的には同じになるので問題ない。

10 10

【0013】しかしながら、図25(D)や図25(E)の回路では、図25(C)の回路と異なり、必ず、電流書き込み用スイッチトランジスタ(T2)のソース電位またはドレイン電極の電位が、サンプルホールド用トランジスタ(T1)のソース電位またはドレイン電位よりも、駆動用トランジスタ(T3)のしきい値分(pチャネルの場合、-Vth)だけ低くなるので、

20 20

同じゲート電圧で動作させれば、必ず電流書き込み用スイッチトランジスタ(T2)の方が、サンプルホールド用トランジスタ(T1)よりも先に閉じてしまう。そうすると、駆動用トランジスタ(T3)のゲート電圧は、図25(D)の場合には信号線の電位、図25(E)の場合には電源に接続されている自分自身のプログラムされた電流により電源電位に向かって、サンプルホールド用トランジスタ(T1)が閉じるまでの間、再充電される。したがって、書き込み時に記憶された（プログラムされた）電流は、それにより変化し、図25(D)の場合、増加し、図25(E)の場合、減少する。

30 30

【0014】ここで、最も問題であるのは、この走査波形（ゲート波形）に遅延（波形鈍り）がある場合である。特に、低温ポリシリコンで垂直走査回路（ゲート回路）を内蔵する場合、走査波形の遅延量は大きく、ばらつきを持つ。遅延量が大きいと、再充電による電流の増加率または減少率は、それに従い大きくなるので、ばらつきがあると、それは、OLEDに流れる電流のばらつきを発生させる。この場合、走査線毎の電流ばらつきになり、走査波形は、水平方向に延在している場合が多い

40 40

ので、横スジ状のむらを発生させる。

【0015】また、走査波形の遅延がある状態で、電流書き込み用スイッチトランジスタ(T2)やサンプルホールド用トランジスタ(T1)のしきい値が0.1V程度、隣接画素間でばらつくと、画素のOLEDに流れる電流にばらつきを生み、表示にザラツキを発生させるため、これらの回路の利点は、ほとんど発生しなくなる。実際のアクティブマトリクス型の表示装置では、走査波形の遅延が無いということはありえず、特に大型、高精細になるほど、問題は深刻になる。

50 50

【0016】本発明は上記従来の問題点を解決し、OL

EDに流れる電流を制御するトランジスタが、ソースフォロワ構成とならず、駆動電圧を低くすることが可能でかつ高速動作に適した回路構成で発生する上記の課題に対し、走査波形の遅延があっても、遅延量のバラツキやしきい値バラツキに対して高いマージンを持ち、スジやザラツキの無い良好な表示性能と高い生産性を得られるアクティブマトリックス型OLED表示装置およびその駆動方法を提供することを目的とする。

【0017】

【課題を解決するための手段】この目的を達成するため本発明のアクティブマトリックス型OLED表示装置およびその駆動方法は、以下の構成および方法を有している。

【0018】第1の構成として、単位画素が複数のトランジスタとOLED素子から成る表示装置において、前記単位画素内に、ソース電極が電源に接続された第1のトランジスタと、一方の電極を前記電源に接続され、他方の電極を前記第1のトランジスタのゲート電極に接続されたコンデンサと、ソース電極またはドレン電極の一方が前記第1のトランジスタのドレン電極に接続され、ソース電極またはドレン電極の他方が前記第1のトランジスタのゲート電極に接続され、ゲート電極が第1の走査線に接続された第2のトランジスタとソース電極またはドレン電極の一方が前記第1のトランジスタのドレン電極に接続され、ソース電極またはドレン電極の他方がOLED素子に接続され、ゲート電極が第3の走査線に接続された第3のトランジスタと、ソース電極またはドレン電極の一方が前記第1のトランジスタのドレン電極に接続され、ソース電極またはドレン電極の他方がOLED素子に接続され、ゲート電極が第3の走査線に接続された第4のトランジスタとを有することを特徴とするアクティブマトリックス型OLED表示装置を構成する。

【0019】第2の構成として、単位画素が複数のトランジスタとOLED素子から成る表示装置において、前記単位画素内に、ソース電極が電源に接続された第1のトランジスタと、一方の電極を前記電源に接続され、他方の電極を前記第1のトランジスタのゲート電極に接続されたコンデンサと、ソース電極またはドレン電極の一方が前記第1のトランジスタのゲート電極に接続され、ゲート電極が第1の走査線に接続された第2のトランジスタとソース電極またはドレン電極の一方が信号線に接続され、ゲート電極が第2の走査線に接続された第3のトランジスタと、ソース電極またはドレン電極の一方がOLED素子に接続され、ゲート電極が第3の走査線に接続された第4のトランジスタとソース電極またはドレン電極の一方が、前記第1のトランジスタのドレン電極に接続され、ソース電極またはドレン電極の他方が、前記第2のトランジスタのソース電極またはドレン電極の他方、前記第3のトランジスタのソ

ス電極またはドレン電極の他方および前記第4のトランジスタのソース電極またはドレン電極の他方に接続された第5のトランジスタとを有することを特徴とするアクティブマトリックス型OLED表示装置を構成する。

【0020】第3の構成として、前記第2および第3の走査線が共通であり、前記第3のトランジスタと第4のトランジスタが異なった導電型であること特徴とするアクティブマトリックス型OLED表示装置を構成する。

10 【0021】第4の構成として、前記第3のトランジスタと前記第4のトランジスタが一方が導通状態の時、他方は非導通状態になるような閾値特性を有していること特徴とするアクティブマトリックス型OLED表示装置を構成する。

【0022】第5の構成として、前記トランジスタは、ポリシリコンを用いた薄膜トランジスタ素子であること特徴とするアクティブマトリックス型OLED表示装置を構成する。

20 【0023】第6の構成として、前記第1のトランジスタは、ホール導電型のトランジスタであることを特徴とするアクティブマトリックス型OLED表示装置を構成する。

【0024】第7の構成として、前記第2のトランジスタは、ゲート電極を共通のゲート線に接続された2つ以上のトランジスタ素子を直列に接続して成ることを特徴とするアクティブマトリックス型OLED表示装置を構成する。

30 【0025】第8の構成として、アクティブマトリックス型OLED表示装置の垂直走査用回路あるいは水平駆動回路に用いるトランジスタ素子の少なくとも一つが、画素内のトランジスタ素子と同時に形成されることを特徴とするアクティブマトリックス型OLED表示装置を構成する第9の構成として、前記垂直走査回路は、外部または内部のシフトレジスタの1つの出力から3つの異なるパルス幅と位相を有する走査波形を発生させる回路を含むことを特徴とするアクティブマトリックス型OLED表示装置を構成する。

【0026】第10の構成として、前記水平駆動回路は、垂直走査期間の一部の期間において、前記映像信号40に対応した電流を遮断し、前記信号線を一定の電位にするための充電回路を有することを特徴とするアクティブマトリックス型OLED表示装置を構成する。

【0027】第11の構成として、前記隣接する画素間の発光輝度の変化が最大2%であることを特徴とするアクティブマトリックス型OLED表示装置を構成する。

【0028】第12の構成として、上記のアクティブマトリックス型OLED表示装置を用いることを特徴とする携帯端末用のディスプレイを構成する。

【0029】第13の構成として、上記のアクティブマトリックス型OLED表示装置を用いることを特徴とす

る大型テレビを構成する。

【0030】第14の構成として、上記のアクティブマトリックス型OLED表示装置を用いることを特徴とする高精細モニタを構成する。

【0031】第1の方法として、単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、第1の走査線および第2の走査線をアクティブにすることにより、第1のトランジスタのゲート電極とドレイン電極を、第2のトランジスタを介して導通状態にし、前記第1のトランジスタおよび第3のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、前記第1の走査線を非アクティブした後、前記第2の走査線を非アクティブにし、前記第2の走査線を非アクティブにした後、第3の走査線をアクティブとし、第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流す。

【0032】第2の方法として、単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、第1の走査線および第2の走査線をアクティブにし、第1のトランジスタのゲート電極とドレイン電極を、第2のトランジスタを介して導通状態にすると共に、第5のトランジスタのゲート電圧に、所定のバイアス電圧を印加し、前記第1のトランジスタ、第3のトランジスタおよび第5のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、前記第1の走査線を非アクティブした後、前記第2の走査線を非アクティブにし、前記第2の走査線を非アクティブにした後、第3の走査線をアクティブとし、第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流す。

【0033】第3の方法として、単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、第1の走査線および第2の走査線をアクティブにすることにより、第1のトランジスタのゲート電極とドレイン電極を、第2のトランジスタを介して導通状態にし、前記第1のトランジスタおよび第3のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、前記第1の走査線を非アクティブした後、前記第2の走査線を第3のトランジスタに対して非アクティブ、第4のトランジスタに対してアクティブとし、第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流す。

【0034】第4の方法として、単位画素が複数のトランジスタならびにOLED素子から成る表示装置におい

て、第1の走査線および第2の走査線をアクティブにし、第1のトランジスタのゲート電極とドレイン電極を、第2のトランジスタを介して導通状態にすると共に、第5のトランジスタのゲート電圧に、所定のバイアス電圧を印加し、前記第1のトランジスタ、第3のトランジスタおよび第5のトランジスタを通して、電源から信号線に向けて、映像信号に対応した値の電流を流した後、第1の走査線を非アクティブにすることにより、前記第1のトランジスタのゲート電圧を保持し、前記第1の走査線を非アクティブした後、前記第2の走査線を第3のトランジスタに対して非アクティブ、第4のトランジスタに対してアクティブとし、第4のトランジスタを通して、前記映像信号に対応した値の電流を前記OLEDに流す。

【0035】第5の方法として、単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、ソース電極が電源に接続された第1のトランジスタのゲート電極にソース電極またはドレイン電極の一方が接続され、前記第1のトランジスタのドレイン電極に、ソース電極またはドレイン電極の他方が接続された第2のトランジスタのゲート電極に接続された第1の走査線の電圧を、前記第2のトランジスタが非道通状態になるように非アクティブにした後、ソース電極またはドレイン電極の一方が第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が信号線に接続され第3のトランジスタのゲート電極に接続された第2の走査線の電圧を、前記第3のトランジスタが非道通状態になるように非アクティブにし、ソース電極またはドレイン電極の一方が前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方がOLED素子に接続された第4のトランジスタのゲート電極に接続された第3の走査線の電圧を、前記第4のトランジスタ素子が導通状態になるようにアクティブにする。

【0036】第6の方法として、単位画素が複数のトランジスタならびにOLED素子から成る表示装置において、ソース電極が電源に接続された第1のトランジスタのゲート電極にソース電極またはドレイン電極の一方が接続され、前記第1のトランジスタのドレイン電極に、ソース電極またはドレイン電極の他方が接続された第2のトランジスタのゲート電極に接続された第1の走査線の電圧を、前記第2のトランジスタが非道通状態になるように非アクティブにした後、ソース電極またはドレイン電極の一方が第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が信号線に接続され第3のトランジスタのゲート電極と、ソース電極またはドレイン電極の一方が前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方がOLED素子に接続された第4のトランジスタのゲート電極に接続された第2の走査線の電圧

を、前記第3のトランジスタが非導通状態になり、前記第4のトランジスタ素子が導通状態になるようにする。

【0037】第7の方法として、上記OLED素子から成る表示装置において、ソース電極またはドレイン電極の一方が、前記第1のトランジスタのドレイン電極に接続され、ソース電極またはドレイン電極の他方が、前記第2のトランジスタのソース電極またはドレイン電極の他方、前記第3のトランジスタのソース電極またはドレイン電極の他方および前記第4のトランジスタのソース電極またはドレイン電極の他方に接続された第5のトランジスタのゲート電極に所定のバイアス電圧を印加する。

【0038】第8の方法として、前記所定のバイアス電圧は、第1のトランジスタおよび第5のトランジスタが、共に飽和領域で動作するように設定する。

【0039】

【発明の実施の形態】（発明の実施の形態1）図1に、本発明の回路構成を示す。単位画素が最低4つからなる複数のトランジスタならびにOLED素子により形成され、第1の走査線GL1をアクティブとすることにより、第1のトランジスタMDRのゲートとドレイン間を短絡するように第2のトランジスタMSHが開くと共に、第2の走査線GL2をアクティブとすることにより第1のトランジスタMDRおよび第3のトランジスタMWRを通して、映像信号に対応した値の電流を流し、第1のトランジスタMDRのゲートとソース間に接続されたコンデンサCSに、信号電流を流すように第1のトランジスタMDRのゲート電圧を記憶した後に、第1の走査線GL1を非アクティブにし、第2のトランジスタMSHをオフ状態にした後、第2の走査線GL2を非アクティブにし、第3のトランジスタMWRをオフ状態にし、その後、第3の走査線GL3をアクティブとして、前記電流を第4のトランジスタMCHならびにOLED素子に流すように画素回路を構成する。

【0040】この回路は1画素内に4つのトランジスタを有しており、第1のトランジスタMDRのソースは電源線（電圧源）に、MDRのゲートは第2のトランジスタMSHのソースに接続されており、第2のトランジスタMSHのゲートは第1の走査線GL1に、MSHのドレインはMDRのドレイン、第3のトランジスタMWRのソースおよび第4のトランジスタMCHのソースに接続されている。また、MWRのドレインは信号線DATAに、ゲートは第2の走査線GL2に接続され、MCHのゲートは第3の走査線GL3に、ドレインはOLEDのアノード電極に接続されている。

【0041】以下、その手段ならびに作用について説明する。

【0042】図2に本発明の画素の駆動方法（タイミングチャート）、図3は、従来の画素の駆動方法（タイミングチャート）、図4には、本発明の画素の各タイミング

ゲでの等価回路図、図5は従来の画素の第2のタイミング（t1～t2）での画素の等価回路、図6に本発明および従来の画素の駆動トランジスタMDRの動作点の変化を示す。

【0043】本発明の駆動回路は3つのタイミングにより制御される。第一の期間は必要な電流値を記憶させるタイミング（～t1）である。このタイミングでMWRならびにMSHが開くことにより、等価回路として図3Aとなる。ここで、MDRはゲートとドレインが接続された状態とされたダイオード接続状態になり、これにより、このMDRとMWRを通じて、信号線から映像信号に対応した所定の電流ISIGが流れる。この時、MSHにも電流I2が流れ、MDRのゲート電圧が、I1=ISIGを流すようなゲート電圧V1に達するまで流れ、V1に達したら電流I2は流れなくなる。

【0044】第二のタイミングは、MSHと閉じるタイミング（t1～t2）である。そのときの等価回路は図3Bとなる。これにより、電流ISIGは、MWRに流れまま、MDRのゲート電圧は、V1を保ったまま、電圧源および電流源から切り離される。第3のタイミング（t2～）は、MWRを閉じ、MCHを開くタイミングである。そのときの等価回路は図3Cとなる。このとき、MWRが閉じるタイミングとMCHが開くタイミングは同時またはMCHを開くタイミングがMWRを閉じるタイミングより後にする。これにより、MDRに記憶された電流値ISIGは、MCHを介してOLEDに流れ込む。MDRの動作点は図6のV2に移動するが、MDRのトランジスタは、飽和領域で動作するため、切り替え前後のMDRの電流値は基本的に変わらず、映像信号に対応した所定の電流ISIG'（=ISIG）がOLEDに流れれる。

【0045】一方、従来の画素では、走査線GL1とGL2が共通であるため、MSHとMWRの走査波形は同一になる。このとき、必ず、MSHのソース電位またはドレイン電位が、MWRのソース電位またはドレイン電位よりも、MDRのしきい値分（pチャネルの場合、-Vth分）だけ低くなるので、同じゲート電圧で動作させれば、MWRの方が、MSHよりも先に閉じてしまう。そのときの等価回路が図5となる。そうすると、MDRのゲート電圧は、電源に接続されている自分自身のプログラムされた電流により電源電位に向かって、MSHが完全に閉じるまでの間、再充電される。したがって、書き込み時に記憶された（プログラムされた）電流ISIGは、それにより変化し、遅延時間に依存して、減少する。このときのMDRの動作点は図6に示されたとおり、第2のタイミングでゲート電圧がV1からV1'に減衰し、第3のタイミングでV1'からV2'に変化し、ISIGは、ISIGへと変化し、大幅な電圧変化が発生する。

50 【0046】作製するトランジスタは、4つとも同じP

チャネル型またはNチャネル型のトランジスタであってもよいし、違う型のトランジスタであってもよいが、本実施の形態では、すべてPチャネルのトランジスタとした。また、本実施の形態では、トランジスタは、低温ポリシリコンの薄膜トランジスタ（TFTとも称する）を用いた。但し、トランジスタは、低温ポリシリコンの薄膜トランジスタに限ったものでなく、シリコンウエハ上の単結晶トランジスタを用いても良いし、連続粒界シリコン（CGS）や石英基板上に作成する高温ポリシリコンのトランジスタでも良い。

【0047】また、トランジスタの断面構造は、本実施の形態では、トップゲートのプレーナー型のTFTを用いたが、ボトムゲートでも良く、また、スタガーモード、逆スタガーモードでも良い。更に、セルフアライン方式を用いて不純物領域（ソース、ドレイン）が形成されたものでも、非セルフアライン方式によるものでも良く、これらはすべてに本発明の範疇である。

【0048】図7に本実施の形態の画素の平面構成を示す。基板上には、マトリクス状に配置された画素に電圧および電流を供給するための配線電極群が設けられる。図7中の信号線DATAは、映像信号電流を伝えるための配線であり、走査線GL1～GL3は、画素のトランジスタをアクティブ／非アクティブにするための制御信号を伝えるための配線であり、電源線は、ホール注入電極31（画素電極、アノード）に、アノード電圧を供給するための配線である。それぞれの配線電極は抵抗が高い方が好ましく、その配線電極は、Al、Tiまたは窒化チタン（TiN）、Ta、Mo、Cr、W、Cu、Nd、Zr等のいずれか1種または2種以上を含有する金属を単層または2層以上の積層構造にして使われる。但し、本発明においてはこの材料に限られるものではない。

【0049】また、第1のトランジスタMDRのゲート電圧を保持するコンデンサCSは、隣接する画素間の非表示領域におおむね形成する。低分子のOLEDでフルカラーパネルを作成する場合、OLED層をメタルマスクによるマスク蒸着で形成するため、隣接する画素間の非表示領域の幅は約10～20μmになる。この部分は発光に寄与しない部分となるため、保持コンデンサCSをこの領域に形成することは、トランジスタを形成したガラス基板側から光を取り出す方式の場合、開口率向上のために有効な手段となる。OLED素子の構造については、以下に述べる。

【0050】本実施の形態のOLED表示装置の構成例を図8に示す。本実施の形態では、トランジスタを形成したガラス基板側から光を取り出す方式（以下、下取出しを称する）を用いているので、ホール注入電極31に透明電極であるITOを用いた。

【0051】まず、基板上にトランジスタのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極と

して透明電極であるITOをスパッタ法で成膜、ペターニングする。その後、OLED層、電子注入電極等を積層する。

【0052】図8に示されるOLED表示装置は、ガラス基板35上に、薄膜トランジスタTFTのアレイと、絶縁層38を介して、ホール注入電極31となるITO31と有機層22、電子注入電極32とを有するOLED構造体11が積層されている。基板材料としては基板の裏面方向より光が射出される必要があることから、ガラス、石英や樹脂等の透明ないし半透明材料を用いることができる。

【0053】OLED構造体11の下地となるホール注入電極31とTFTの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100～1000nm程度とすればよい。

【0054】TFTの配線電極とOLED構造体11の有機層との間に設けられた絶縁層38は、SiO₂等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG（スピノン・オン・グラス）で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれあってもよいが、より厚く平らな方が良いので、有機膜の方が好ましい。また、絶縁層38は、水分に弱いOLED素子11を守るために、吸湿性の高い有機膜は、外気に触れないような構造にすることが好ましい。

【0055】カラー化の手法としては、本実施の形態では、それぞれ異なる発光ピーク（R、G、B）を持つ3種類の材料をメタルマスクで塗り分けることによって実現した。また、別の方法として、例えば、白色発光のOLED構造体と、RGBのカラーフィルタとの組み合わせによって得る方法もあり、また、青色発光のOLED構造体から波長変換層により、RGBの三色を得る方法もある。

【0056】次に、本発明のOLED表示装置を構成するOLED構造体11について説明する。本発明のOLED構造体11は、透明電極であるホール注入電極31と、1種以上の有機層22と、電子注入電極32とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、ホール輸送層、ホール注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のOLED構造体11の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、ホール注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。

【0057】ホール注入電極31としては、ホール注入電極31側から発光した光を取り出す構造であるため、

例えば、ITO（錫ドープ酸化インジウム）、IZO（亜鉛ドープ酸化インジウム）、ZnO、SnO₂、In₂O₃の透明性の材料等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極31の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、10～500nm程度とすることが好ましい。また、これらの膜は、端部でのカソードとの短絡を防止するため、透過率特性を損なわない範囲で、薄い方が好ましい。実際に使用する場合には、ITO等のホール注入電極31界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。ホール注入電極31は、蒸着法等によっても形成できるが、スパッタ法により形成することが好ましい。スパッタガスとしては、特に制限するものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0058】電子注入電極32は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg (Ag: 1～20at%)、Al・Li (Li: 0.3～14at%)、In・Mg (Mg: 50～80at%)、Al・Ca (Ca: 5～20at%)等が好ましい。

【0059】電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。

【0060】ホール注入層は、ホール注入電極31からのホールの注入を容易にする機能を有し、ホール輸送層は、ホールを輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0061】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能およびホールを妨げる機能を有する。

【0062】ホール注入層、ホール輸送層および電子注入輸送層は、発光層へ注入されるホールや電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。

【0063】なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてよい。

【0064】発光層の厚さ、ホール注入層とホール輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常、5～100nm程度とすることが好ましい。

【0065】ホール注入層、ホール輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10～10倍程度とすればよい。ホール注入層、ホール輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときも同じである。また、組み合わせる発光層や電子注入輸送層やホール注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0066】本発明のOLED素子の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に開示されているようなトリス(8-キノリノラト)アルミニウム [Alq3] 等の金属錯体色素、特開平6-110569号公報(フェニルアントラセン誘導体)、同6-114456号公報(テトラアリールエテン誘導体)、特開平6-100857号公報、同特開平2-247278号公報等に開示されているような青緑色発光材料が挙げられる。

【0067】また、ホール注入層・ホール輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。ホール注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

【0068】さらに、OLED層に、水分が入らないよう封止材40で封止する。本実施の形態では、メタル薄膜と、有機膜の積層構造を用いるが、シール材を用いてガラスを張り合わせる方法を用いても良い。

【0069】このようにして作製したOLED表示装置に直流電圧を印加し、10mA/cm²の一定電流密度で連続駆動させた。OLED構造体は、5.0V、100cd/cm²、色座標がx=0.30, y=0.33の白色の発光が確認できた。青色発光部は、輝度100cd/cm²で、色座標がx=0.129, y=0.105、緑色発光部は、輝度200cd/cm²で、色座標がx=0.340, y=0.625、赤色発光部は、輝度125cd/cm²

で、色座標が $x = 0.649$, $y = 0.338$ の発光色が得られた。

【0070】以下に本実施の形態の効果を示す。図9は、走査波形（ゲート波形）の遅延時間に対するOLED電流I_{LED}の変化を示す。図9Aは、トランジスタのしきい値V_{TH}にばらつきが無い場合と、M_{SH}のしきい値が-0.1V低い場合のOLED電流I_{LED}のゲート波形遅延時間依存性を、図9Bは、トランジスタのしきい値V_{TH}にばらつきが無い場合と、M_{SH}のしきい値が-0.1V低い場合のOLED電流I_{LED}の変化量（%）を示す。図9に示されるように、従来の画素では、ゲート波形の遅延時間に依存し、OLED電流が大幅に変化するので、遅延量のばらつきによる横スジが発生するが、本発明の場合は、遅延時間にほとんど依存しないため、横スジの発生は、全く無くなつた。

【0071】また、図10に4つの各トランジスタ素子のしきい値が変化したときのOLED電流の変化を示す。図10A、Bは従来の画素で、AはISIG=1μAの場合、BはISIG=0.01μAの場合、図10C、Dは本発明の画素で、CはISIG=1μAの場合、DはISIG=0.01μAの場合を示す。図10A、Bに示されるように、従来の画素では、M_{SH}とM_{WR}のしきい値の変化があると激しく、OLED電流が変化するが、図10C、Dに示されるように、本発明の場合、それらが変化しても、OLED電流はほとんど変化せず、安定である。

【0072】これにより、各トランジスタのしきい値電圧のバラツキマージンは、例えば電流ばらつきが±2%まで許容する条件では、従来の画素は、±0.1Vであるが、本実施の形態では、±0.8Vとなり、大幅に拡大させることができた。また、従来の画素では、M_{SH}とM_{WR}が律則していたのに対し、本発明の画素は、電流プログラム方式本来の駆動トランジスタM_{DR}のしきい値ばらつきに律則される形になり、極めて広いしきい値バラツキマージンを有することができた。

【0073】以上のように、本実施の形態では、走査波形の遅延があり、その遅延量がばらついている状態や、電流書き込み用スイッチトランジスタM_{WR}やサンプルホールド用トランジスタM_{SH}のしきい値が隣接画素間でばらついている状態でも、画素のOLEDに流れる電流はばらつきがないため、遅延量のバラツキやしきい値バラツキに対して高いマージンを持ち、スジやザラツキの無い良好な表示性能を有し、また、信号電流に対するOLED電流のリニアリティの高く、その結果、歩留りが高く、生産性の良い、大型、高精細OLED表示パネルを得ることができる。

（発明の実施の形態2）本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0074】本実施の形態では、図11に示すようにM

D_RにカスケードトランジスタM_{CS}を接続する。実施の形態1で、MD_Rの動作点が、V₁からV₂に移る際、理想的なトランジスタの飽和領域特性であれば問題ないが、図12に示すように、アーリー効果またはゲート長変調、更にはキング効果というものにより、ISIGをドレイン電圧に従い、ISIGへと上昇させる。これにより、MD_Rのしきい値のバラツキΔV_{th}があると、それがOLED電流I_{LED}のバラツキとなつて表れる。したがって、M_{WR}とM_{CH}の切り替え前後で、電流ISIGを安定させるには、これらの作用を低減させなければならない。

【0075】そのために少なくとも5個のトランジスタを構成し、トランジスタM_{CS}を図11に示すようにMD_Rにカスケード接続し、バイアス電圧を適切にすることにより、図12のような特性になり、電流ISIGの動作点による変化は、極めて小さくなる。このとき、バイアス電圧の適切な範囲とは、MD_RとM_{CS}が共に、飽和領域で動作する条件のことを言う。

【0076】本実施の形態では、実施の形態1の効果に加え、MD_Rのしきい値バラツキのマージンが±0.8Vから±2Vへと大幅に向上させることができた。

（発明の実施の形態3）本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0077】本実施の形態では、第3のトランジスタと第4のトランジスタの導電型を異なったものとすることにより、第2と第3の走査線を共通とした。本実施の形態の画素回路の構成を図13に示す。本実施の形態では、第3のトランジスタM_{WR}をnチャンネル（電子伝導型とも称する）のトランジスタ、第4のトランジスタM_{CH}をpチャンネル（正孔伝導型とも称する）のトランジスタとした。これにより、M_{WR}とM_{CH}が共通のトランジスタに接続されていても、一方がON状態の時は、他方がOFF状態になるので、本発明の電流の切り替え方法を損なうことが無い。

【0078】本実施の形態では、実施の形態1の効果に加え、走査線数を削減することにより、駆動回路の簡略化による歩留向上、ならびに画素の開口率を向上させることが出来る。

（発明の実施の形態4）本実施の形態は、以下を除き、実施の形態1および実施の形態3と同一の構成である。

【0079】本実施の形態では、実施の形態3の構成に加え、基本的な動作タイミングとしては、実施の形態1と同様に、第2のタイミングから第3のタイミングに移る際に、電流の流れる経路に分岐があると、MD_Rのドレイン電流が増加し、映像信号に対応した電流値を流すように、MD_Rのゲート電圧に記憶できない。本実施の形態では、実施の形態3のように、M_{WR}とM_{CH}を異なった導電形にした場合、お互いのしきい値を制御することによって走査線の切り替わりのタイミングで必ずM_{WR}がオフした後にM_{CH}がオンするようにした。具体

的には、第3のトランジスタ MSH (nチャンネル) のしきい値を 2 ± 2 V、第4のトランジスタ MWR (pチャンネル) のしきい値を -2 ± 2 V とした。これにより、同一の走査電圧波形を加えたとしても、2つのトランジスタが同時に ON 状態になること無く、本発明の電流の切り替え方法を損なうことが無い。

【0080】本実施の形態では、実施の形態3と同様に、走査線数を削減することにより、駆動回路の簡略化による歩留向上、ならびに画素の開口率を向上させることができた。

(発明の実施の形態5) 本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0081】本実施の形態では、MDR が pチャンネル型ポリシリコン薄膜トランジスタに構成されている。これにより、nチャンネル型ポリシリコンを用いる場合よりも、図6に示すキンク効果が低減できる。

【0082】これにより、nチャンネル型ポリシリコンの場合、MDRのしきい値バラツキのマージンが ± 0.3 V 程度であったが pチャンネル型ポリシリコン薄膜トランジスタの場合、 ± 0.8 V へと大幅に向上させることができた。

(発明の実施の形態6) 本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0083】本実施の形態では、アクティブマトリックスを構成するトランジスタが pチャンネル型ポリシリコン薄膜トランジスタに構成されており、MSH がデュアルゲート以上であるマルチゲート構造にした。MSH は、MDR のゲート電圧の電圧保持用スイッチとして作用するため、できるだけ ON/OFF 比の高い特性が要求される。図14に各種ゲート構造におけるリーク電流値を示す。これより、ゲートの構造をデュアルゲート構造以上のマルチゲート構造が必要であることが解る。

【0084】これにより、本実施の形態では、実施の形態1の効果に加え、保持コンデンサ C_S の占有面積を減らすことができ、開口率を 5 ポイント改善させることができた。

(発明の実施の形態7) 本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0085】本実施の形態では、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタに構成されており、アクティブマトリックス OLED 表示装置の垂直走査回路および信号線に電流書き込み前に所定の電圧に設定するプリチャージ回路を、画素を構成するトランジスタを作成すると同時に、基板上に一体形成した。

【0086】図15にアクティブマトリックス OLED 表示装置の全体の外観図を示す。本発明は、単位画素内に少なくとも 4 つ以上のトランジスタが必要である。從ってこれらを構成するトランジスタの材料としては、移動度の高いポリシリコンをアクティブ素子の材料として

用いるのが適している。従って本パネルを駆動する周辺回路も合わせて、一体形成することが可能となる。また、本実施の形態としては、垂直走査回路とプリチャージ回路を内蔵したが、内蔵する回路としては、信号側回路の内蔵も、単結晶トランジスタを使う場合は、容易にできる。これらは、トランジスタの性能を加味して、内蔵する回路の種類を決定すればよい本実施の形態では、実施の形態1の効果に加え、周辺回路を内蔵することにより、外部回路との接続点数を削減することができ、機械的な信頼性が上がると共に、周辺の額縁領域をコンパクトにことができ、また、パネル全体を軽量化することができた。

(発明の実施の形態8) 本実施の形態は、以下を除き、実施の形態1および実施の形態7と同一の構成である。

【0087】本実施の形態では、実施の形態3の垂直走査回路を、シフトレジスタの1つの出力から3つの異なるパルス幅と位相を有する走査波形を発生させる回路として、ポリシリコンを用いてガラス基板上に形成した。図16から図18に本実施の形態の垂直走査回路の回路

20 図を示す。一つのシフトレジスタの出力 INB を3つの NOR回路の一方に入力し、他方に3本の制御線 OEV_A、OEV_B、OEV_C で制御することにより、実施の形態1の図2に示すような、異なるパルス幅と位相をもつ3仕様の垂直走査波形 $\phi 1$ から $\phi 3$ を発生することができる。

【0088】本実施の形態では、実施の形態1および実施の形態7の効果に加え、シフトレジスタをそれぞれ独立に、3段構成する場合に比べ、極めて少ない回路構成で、3つの異なるパルス幅と位相を有する走査波形を発生することができ、周辺の狭額縁化が達成できる。

(発明の実施の形態9) 本実施の形態は、以下を除き、実施の形態1および実施の形態7と同一の構成である。

【0089】本実施の形態では、実施の形態1の画素のトランジスタを形成すると同時に、垂直走査期間の一部の期間において、映像信号に対応した電流を遮断し、信号線を一定の電位にするための充電回路（以下、プリチャージ回路と称する）を、ポリシリコンを用いてガラス基板上に形成した。図19に本実施の形態のプリチャージの回路図を示す。

40 【0090】これにより、本実施の形態では、実施の形態1および実施の形態7の効果に加え、電流書き込み方式の本実施の形態の画素回路で問題となる黒レベルの浮きまたはお引きを改善でき、コントラスト比の向上が図れた。

(発明の実施の形態10) 本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0091】本実施の形態では、輝度（電流量）の変動量が 2 % 以内にする。図20に横軸輝度、縦軸に輝度 (cd/m^2) の変動量 ($\Delta I \cdot I$) を示す。輝度が $1 cd/m^2$ 50 から $1000 cd/m^2$ までの輝度領域においては、変動量

が2%以上あれば人間は変動した境界線を認識する。したがって、輝度（電流量）の変動量が2%以内であることが必要である。

【0092】本発明のOLED表示装置では、隣り合う画素のMDRのしきいち電圧の差が±0.8V以上あるとザラツキの元となる中間輝点となることが判った。従って、輝度の変動を2%以内に抑えるためには隣り合う画素のMDRのしきいち電圧の差が±0.8V以下とすることにより、隣接画素の輝度バラツキを認知限以下に出来る。

【0093】また、第1のトランジスタの飽和領域における電流値 I_{ds} が下式

$$I_{ds} = k \times (V_{gs} - V_{th})^2 (1 + V_{ds} * \lambda)$$

であらわされる場合、隣接する画素において、たとえ閾値の変動が存在しない場合でも上記式の λ に変動があれば、OLEDを流れる電流値が変動する。横軸 λ 、縦軸に λ の変動による電流値をシミュレーションした結果を図21に示す。変動を±2%以内に抑えるためには、 λ を0.05以下に抑えなければならない。

【0094】さらに、チャンネル長を $15\mu m$ 以上とすることでチャンネルに含まれる結晶の粒界が増えることによって電界が緩和されキンク効果が低く抑えられ、 λ の値を0.05以下に抑えることが可能であることが解った。これはLを長くした場合、ドレイン電圧による実効チャンネル長の変動の割合が減少するためである。図22にそのシミュレーション結果を示す。

【0095】さらに、保持用コンデンサ C_s 、第3のトランジスタMSHのオフ電流の最小値 I_{off} とした場合次式

$$C_s / I_{off} > 0.2 (F/A)$$

を満たすようになる。図23に横軸にMSHのオフ電流、縦軸にOLEDを流れる電流値のシミュレーション結果を示す。MSHのオフ電流を $5\mu A$ 以下とすることにより、OLEDを流れる電流値の変動を2%以下に抑えることが可能であることが解る。これはリーク電流が増加すると、電圧非書き込み状態においてMDRのゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。従って保持用コンデンサ C_s が大きければオフ電流の許容量も大きくなる。我々は前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることが出来ることを見出した。

【0096】さらに、MSHのチャンネル幅（W）×チャンネル長（L）を $50\mu m^2$ 以下、保持用コンデンサ C_s を $0.5\mu F$ 以上とする。前述の駆動方法において、M1のトランジスタのソース-ゲート間の電圧は、MSHがオンからオフ状態に変化する際に、MSHの寄生容量により変動を受ける。MSHがオンからオフになる場合に、これによる電圧の変動量 ΔV_{off} は次式で表される。

$$\Delta V_{off} = C_{on} / (C_s + C_{on}) \times (V_{on} - V_{th}) + C_{off} / (C_s + C_{off}) \times (V_{th} - V_{off})$$

ここで C_{on} ならびに V_{off} はMSHのオンならびにオフ状態でのトランジスタの容量、 V_{th} はMSHの閾値電圧、 C_s は蓄積容量の値である。従って ΔV_{off} は閾値電圧のバラツキの影響を受ける。この影響を小さくするためには、MSHのサイズを小さくして ΔV_{off} の値を小さくする必要がある。

10 【0097】隣接画素間の電流値の変動を2%以下に抑えるには、MSHの $L * W$ を $50\mu m^2$ 以下または C_s を $0.5\mu F$ 以上としなければならないことが判った。
(発明の実施の形態11) 本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0098】本実施の形態では、本発明のアクティブマトリックス型OLED表示装置を携帯端末用のディスプレイに用いた。

【0099】これにより、コンパクトかつ表示品質の良好なディスプレイを実現できる。この性質は、携帯端末用ディスプレイに求められる性能に一致する。

(発明の実施の形態12) 本実施の形態は、以下を除き、実施の形態1と同一の構成である。

【0100】本実施の形態では、本発明のアクティブマトリックス型OLED表示装置を大型高精細のディスプレイに用いた。本発明のOLED素子をもちいることで、波形遅延の大きい大型高精細のディスプレイにおいても、表示品質の良好なディスプレイを実現できる。

(発明の実施の形態13) 本実施の形態は、以下を除き、実施の形態1と同一の構成である。

30 【0101】本実施の形態では、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として不透明な電極であるAgをスパッタ法で成膜、パターニングする。その後、OLED層、電子注入電極等を積層する。本発明のOLED表示装置の構成例を図24に示す。図24に示されるOLED表示装置は、ガラス基板11上に、薄膜トランジスタTFTのアレイと、絶縁層38を介してホール注入電極31となる金属膜33と有機層22、電子注入電極となるMgAg34とを有するOLED構造体が積層されている。図

40 24に示すように、OLED素子のトランジスタ側と反対側から光を取り出す方式（以下、上取出しを称する）の場合、ホール注入電極31は、金属等の反射率が高いものの方が、発光効率が向上される。

【0102】基板材料としては基板の表面方向より光が射出されるから、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。また、OLED層に、水分が入らないように封止材40は、取り出し側を透明にする必要があるので、有機膜のみの積層構造を用いた。

50 【0103】本実施の形態では実施の形態1と比較し

て、発光層材料の条件等は基本的には同じである。

【0104】このようにして作製したOLED表示装置に直流電圧を印加し、 $10\text{mA}/\text{cm}^2$ の一定電流密度で連続駆動させた。OLED構造体は、5.0V、 $150\text{cd}/\text{cm}^2$ 、色座標が $x=0.30$ 、 $y=0.33$ の白色の発光が確認できた。青色発光部は、輝度 $150\text{cd}/\text{cm}^2$ で、色座標が $x=0.129$ 、 $y=0.105$ 、緑色発光部は、輝度 $300\text{cd}/\text{cm}^2$ で、色座標が $x=0.340$ 、 $y=0.625$ 、赤色発光部は、輝度 $200\text{cd}/\text{cm}^2$ で、色座標が $x=0.649$ 、 $y=0.338$ の発光色が得られ、実施の形態1と比較して、光取り出し効率が1.5倍向上した。

【0105】

【発明の効果】以上のように、本発明により、高速動作に適し、波形遅延の大きい大型高精細や回路内蔵の表示パネルにおいて、トランジスタのしきい値を代表とする特性ばらつきがあっても、その影響を最小にして、OLEDに流れる電流値の変動を小さくすることができ、高い表示性能を得る、アクティブマトリクス駆動タイプのOLED表示装置を提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素回路の回路図

【図2】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素回路の駆動波形を示す図

【図3】従来のアクティブマトリクス型OLED表示装置の画素回路の駆動波形を示す図

【図4】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素回路の各タイミングにおける等価回路を示す図

【図5】従来のアクティブマトリクス型OLED表示装置の画素回路の第2のタイミングにおける等価回路を示す図

【図6】本発明の実施の形態1および従来のアクティブマトリクス型OLED表示装置の画素回路の第1のトランジスタの動作点を示す図

【図7】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素の平面図

【図8】本発明の実施の形態1のアクティブマトリクス型OLED表示装置の画素の断面図

【図9】本発明の実施の形態1のアクティブマトリクス型OLED表示装置のゲート遅延時間に対する効果を示す図

【図10】本発明の実施の形態1のアクティブマトリクス型OLED表示装置のしきい値ばらつきに対する効果を示す図

【図11】本発明の実施の形態2のアクティブマトリクス型OLED表示装置の画素回路の回路図

【図12】本発明の実施の形態1および実施例2のアクティブマトリクス型OLED表示装置の画素回路の第1のトランジスタの動作点を示す図

【図13】本発明の実施の形態3のアクティブマトリクス型OLED表示装置の画素回路の回路図

【図14】本発明の実施の形態6の第2のトランジスタのオフ電流の比較を示す図

【図15】本発明の実施の形態7のアクティブマトリクス型OLED表示装置の全体図

10 【図16】本発明の実施の形態8の垂直走査回路の全体回路図

【図17】図16中のbitblock_c部分の回路図

【図18】図17中のvbuf_r_c部分の回路図

【図19】本発明の実施の形態9のプリチャージ回路の回路図

【図20】人の識別限界輝度と明るさの関係を示す図

【図21】本発明の実施の形態10のλの変動によるOLED電流のばらつきを示す図

20 【図22】本発明の実施の形態10のλのチャネル長依存性を示す図

【図23】本発明の実施の形態10の第2のトランジスタのオフ電流に対するOLED電流のばらつきを示す図

【図24】本発明の実施の形態13のアクティブマトリクス型OLED表示装置の画素の断面図

【図25】従来のアクティブマトリクス型OLED表示装置の画素回路の回路図

【符号の説明】

MDR 第1のトランジスタ

30 MSH 第2のトランジスタ

MWR 第3のトランジスタ

MCH 第4のトランジスタ

GL1 第1の走査線

GL2 第2の走査線

GL3 第3の走査線

DATA 信号線

VDD 電源線

CS 保持用コンデンサ

31 画素電極（アノード電極）

40 22 OLED層

32 カソード電極

AA 有効表示領域（有効画面）

CD 内蔵垂直走査回路

PR 内蔵プリチャージ回路

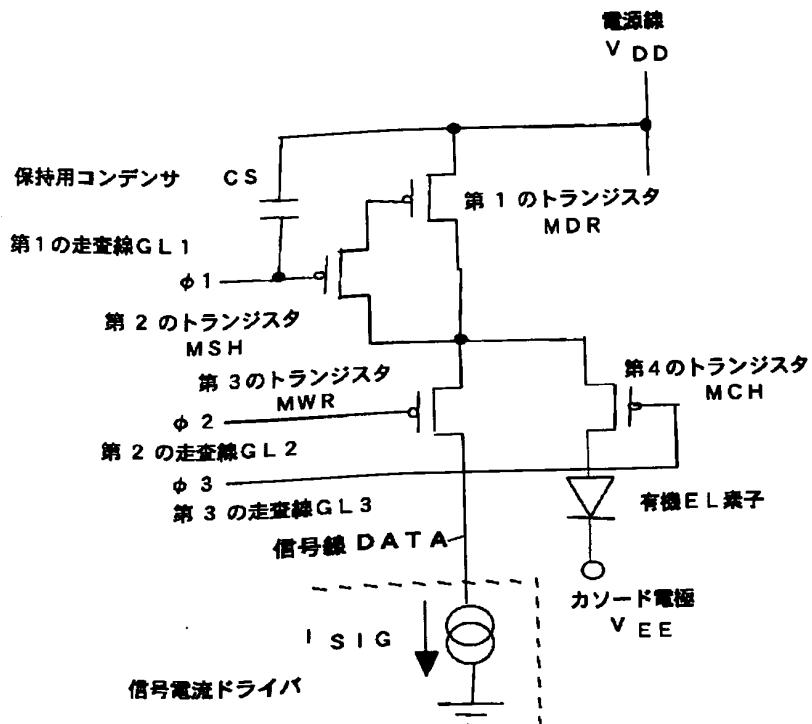
DT 映像信号線端子

CT カソード端子

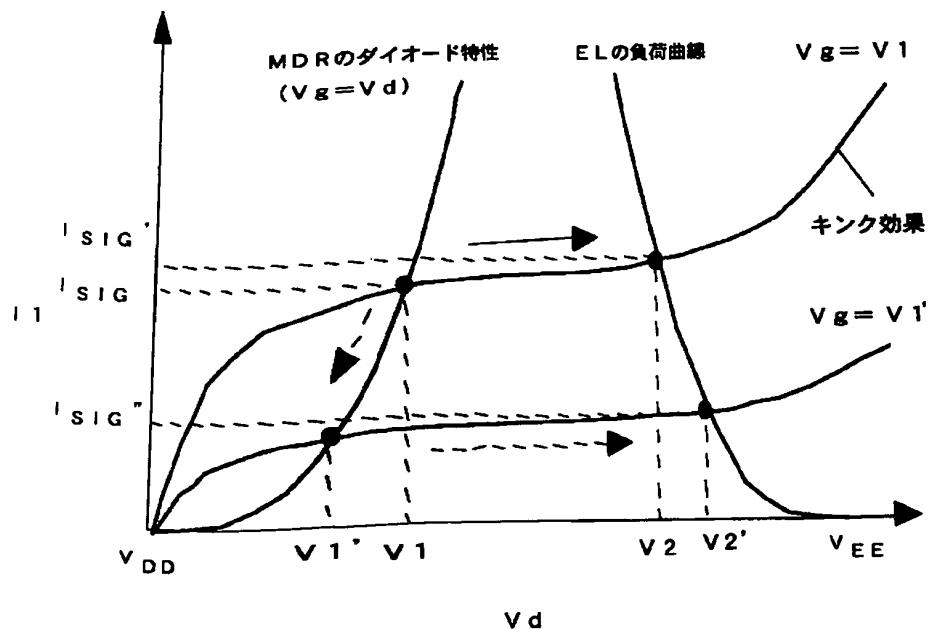
AT アノード端子

LS 内蔵レベルシフト回路

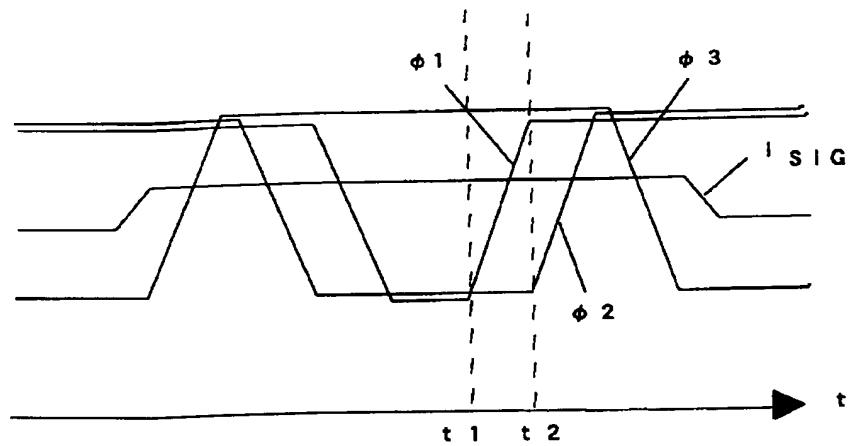
【図1】



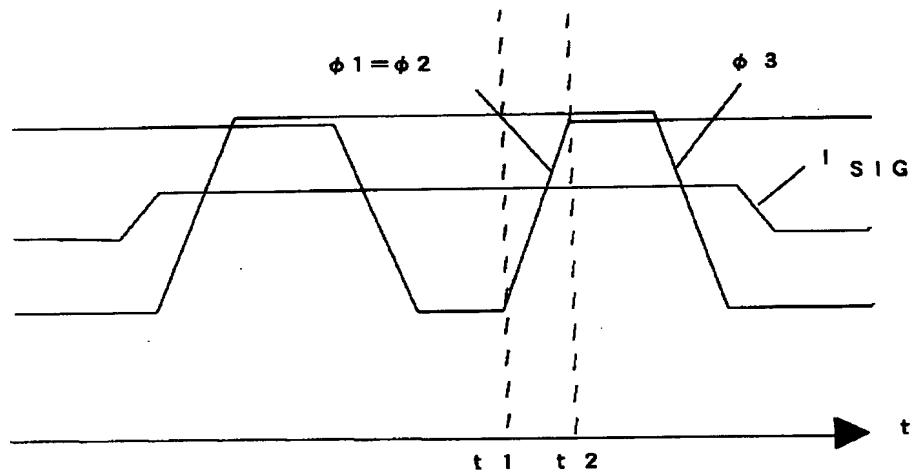
【図6】



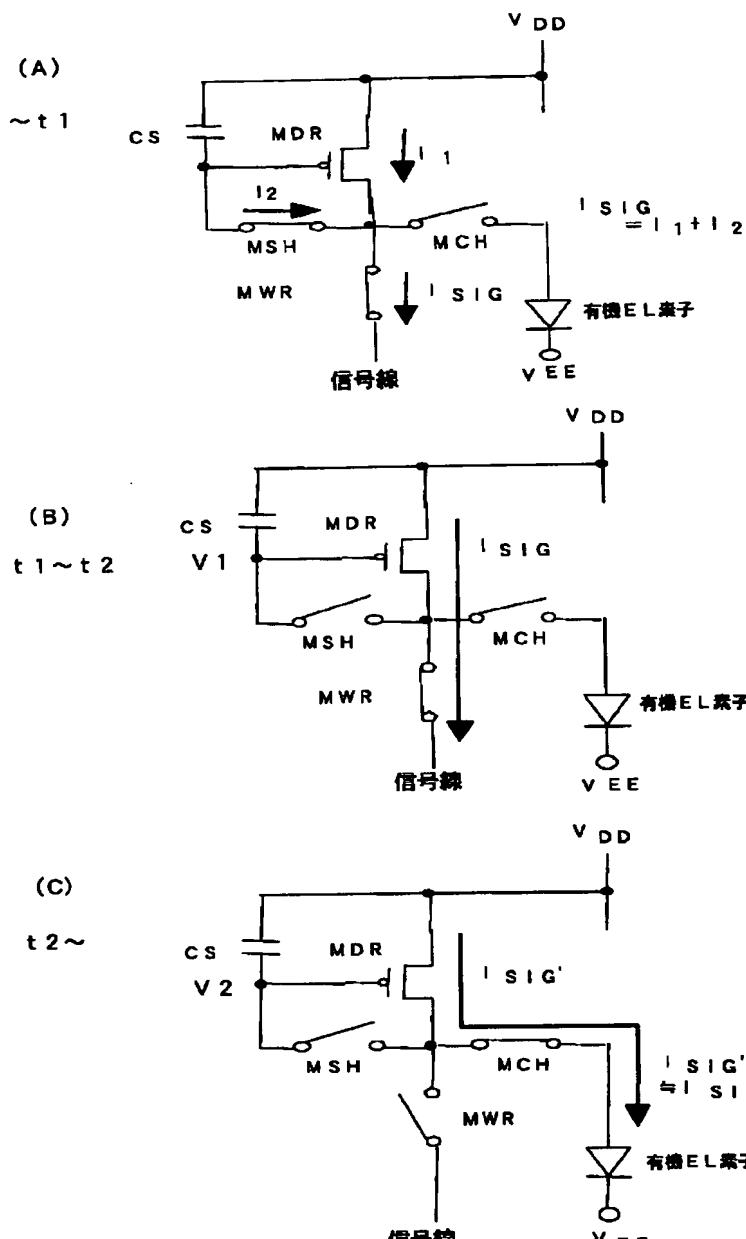
【図2】



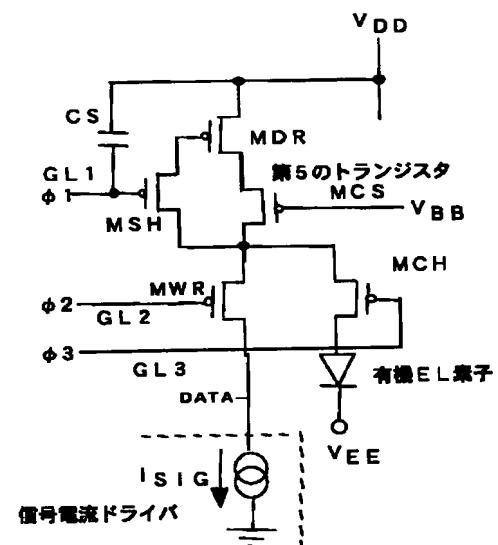
【図3】



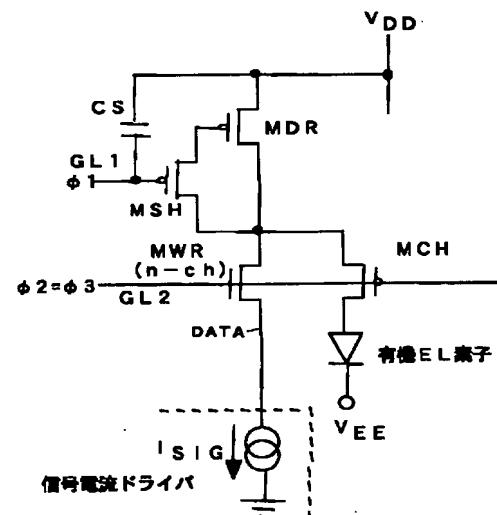
【図4】



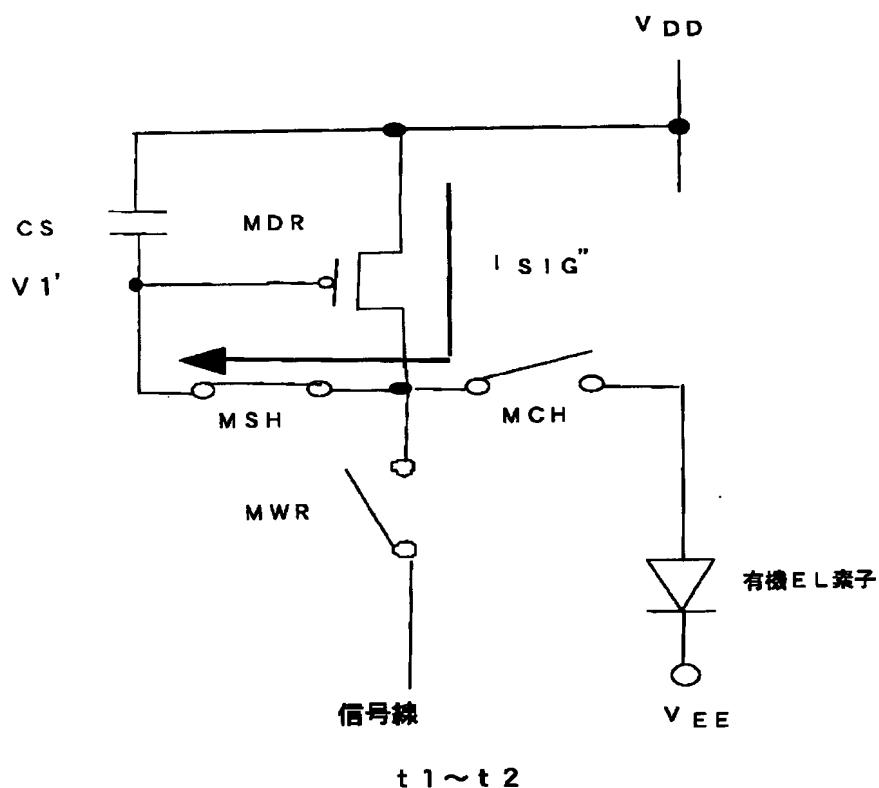
【図11】



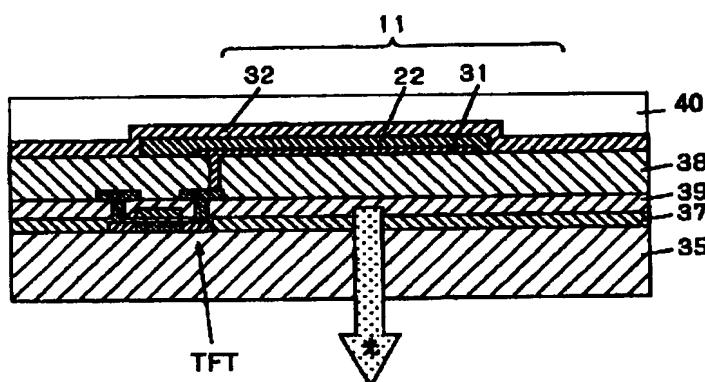
【図13】



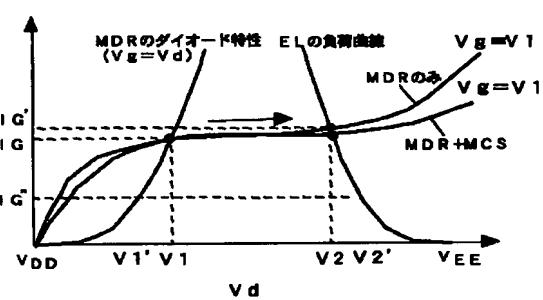
【図5】



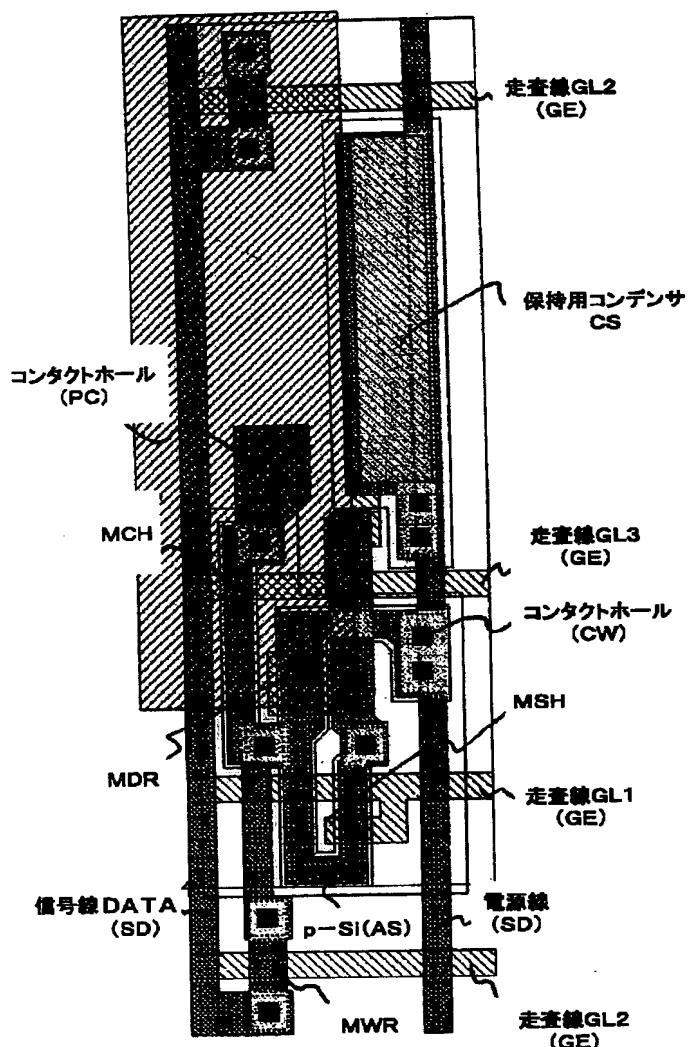
【図8】



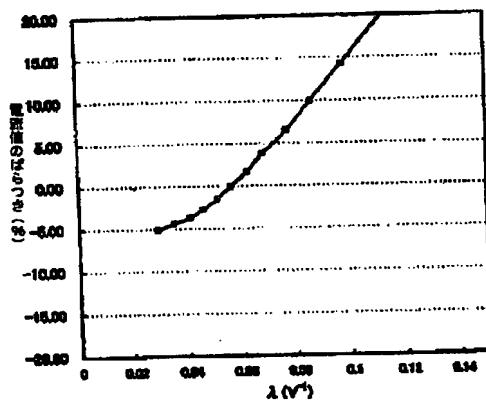
【図12】



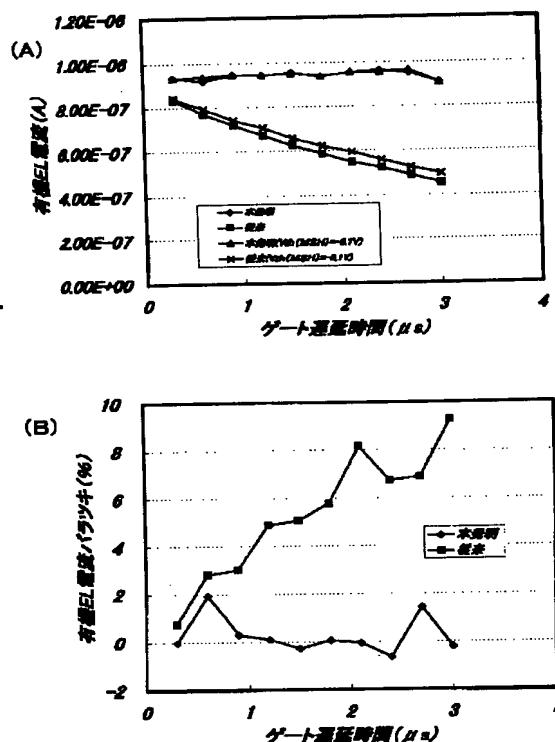
【図7】



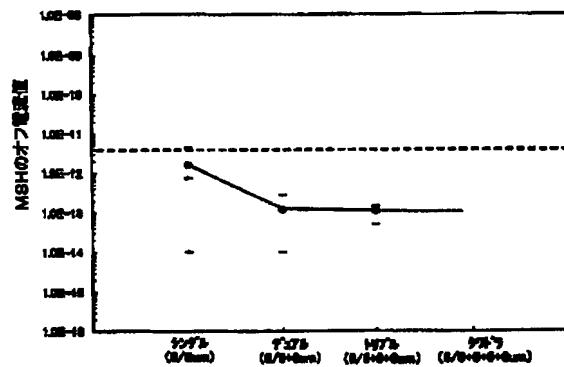
【図21】



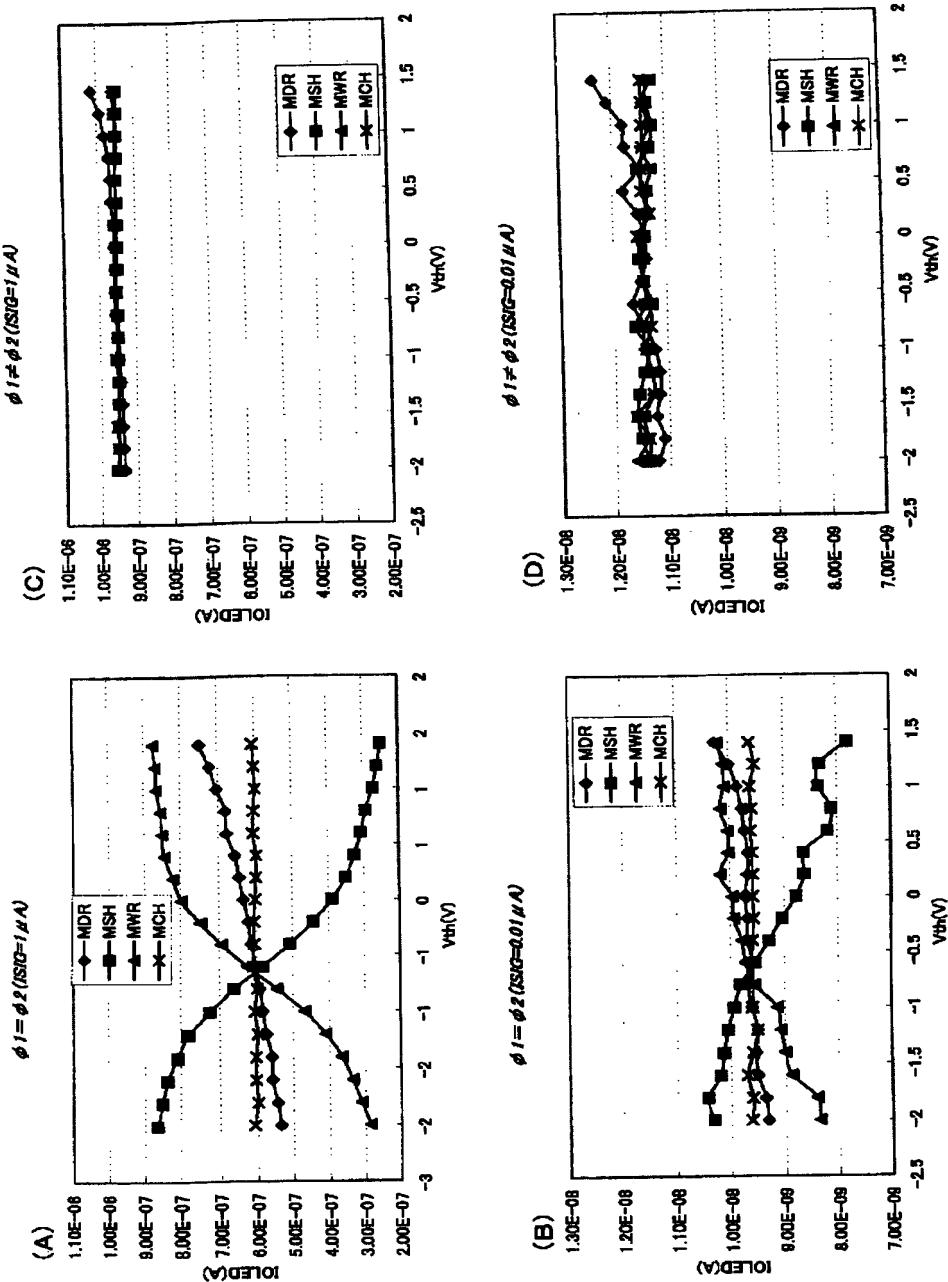
【図9】



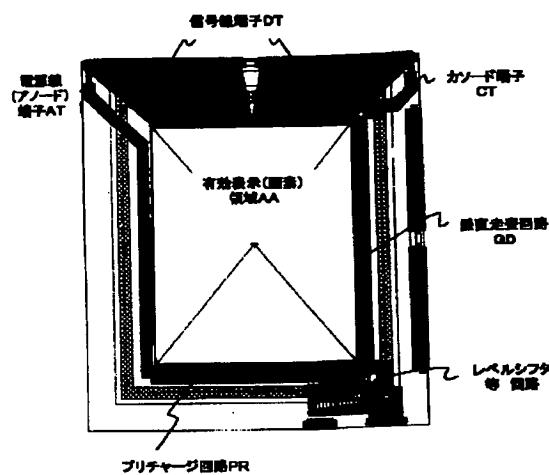
【図14】



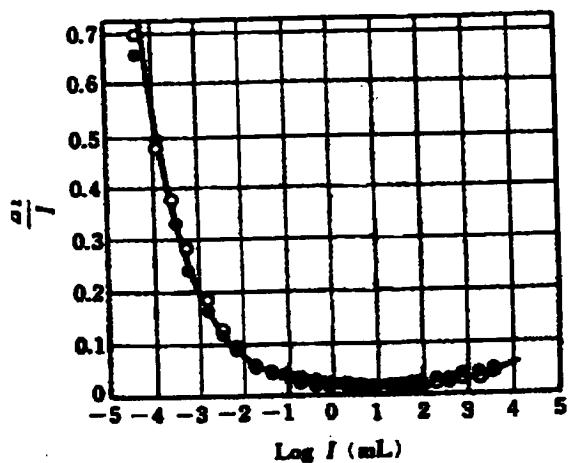
【図10】



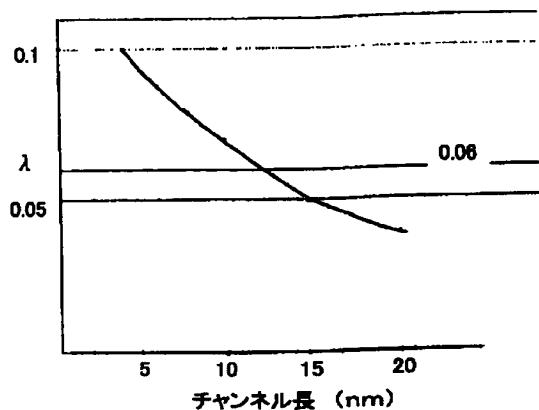
【図15】



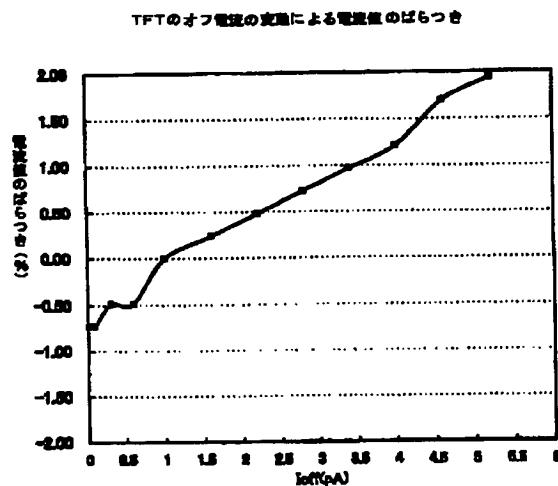
【図20】



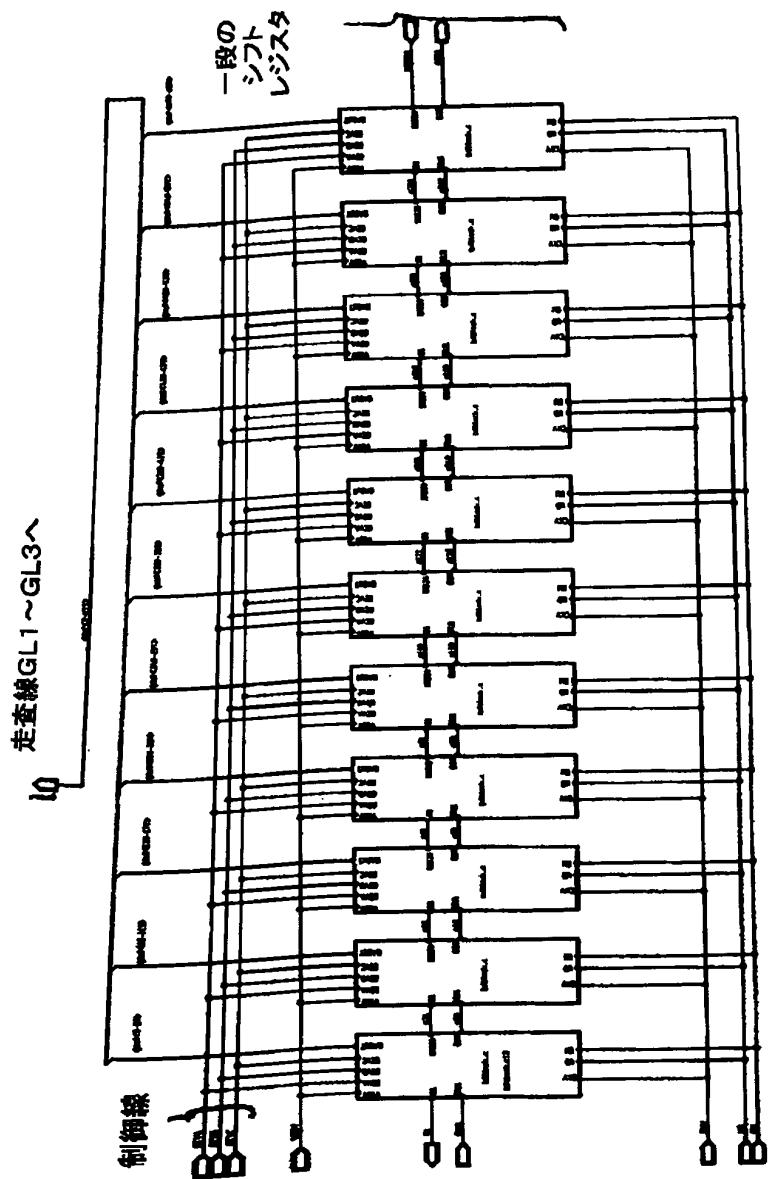
【図22】



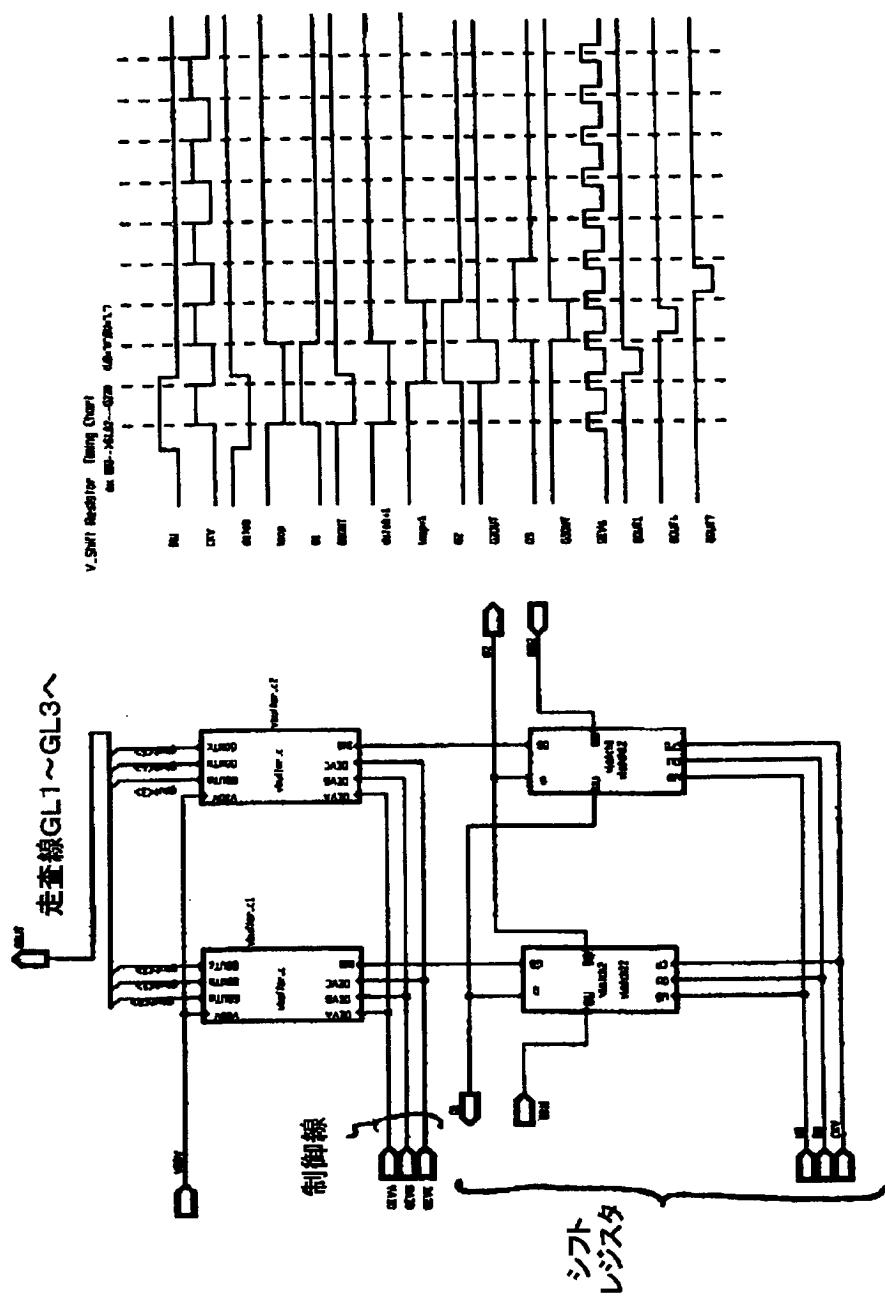
【図23】



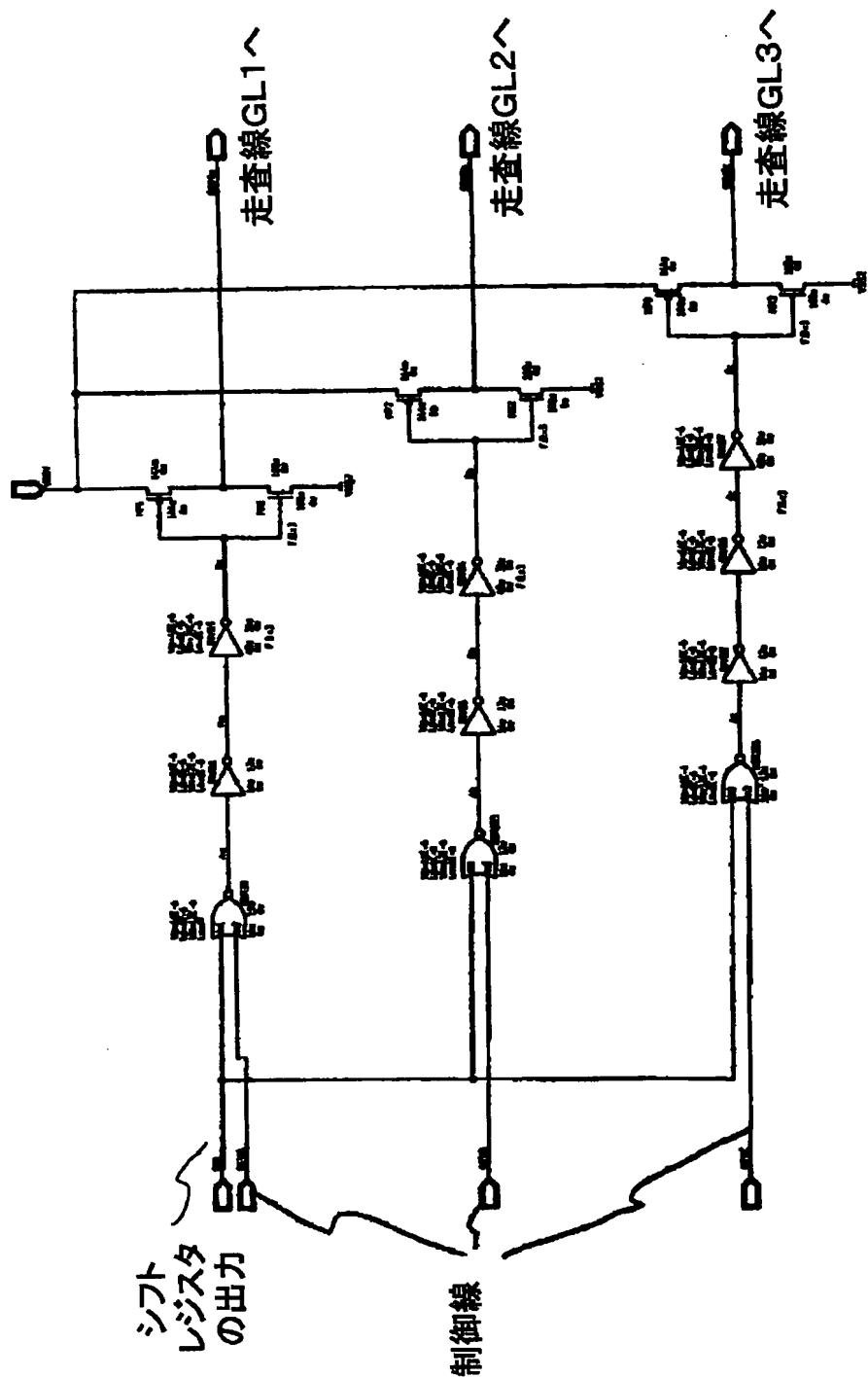
【図16】



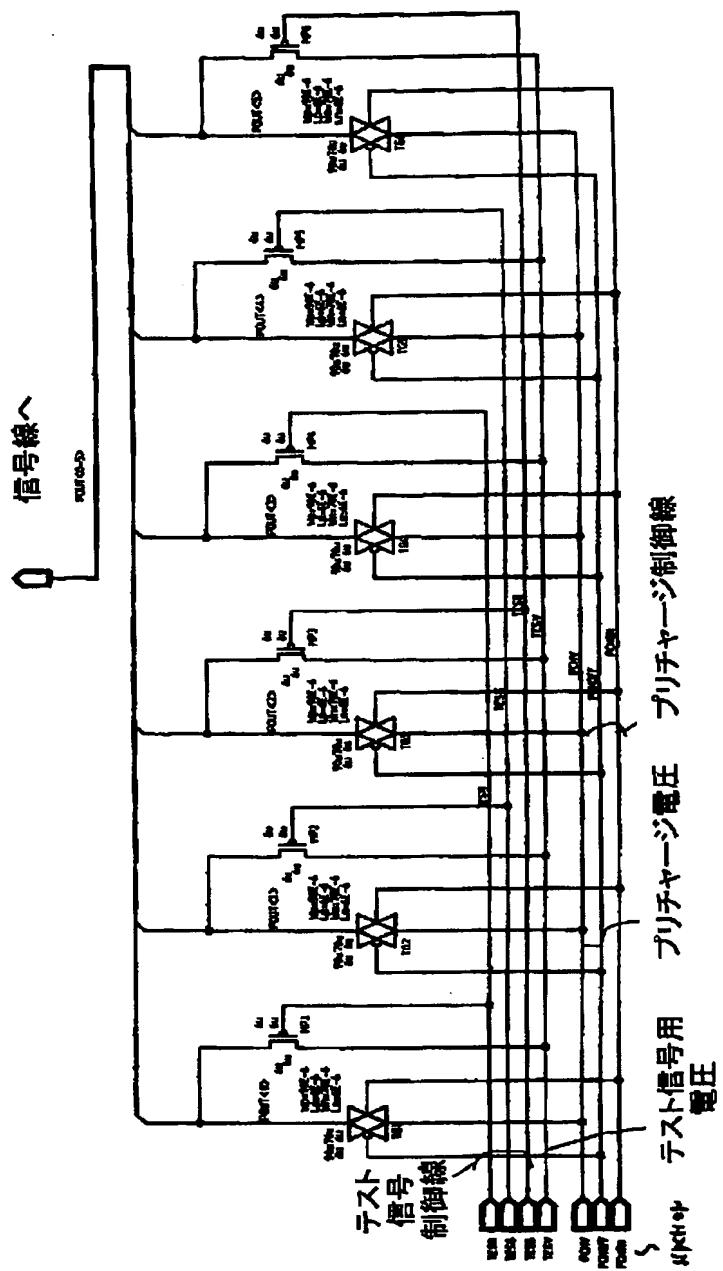
【図17】



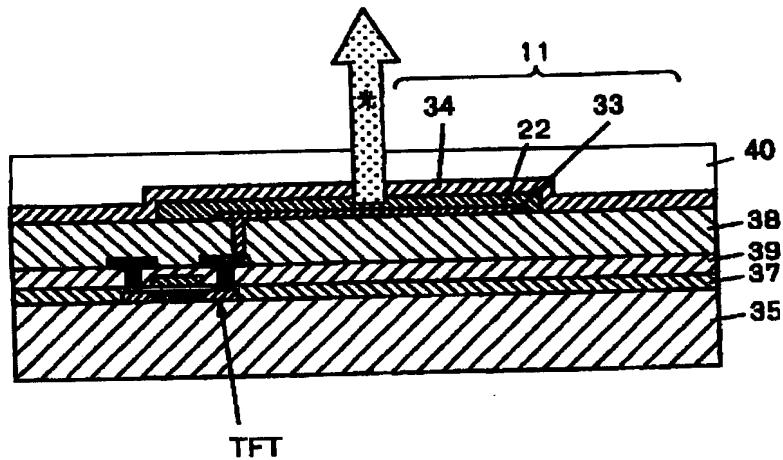
【図18】



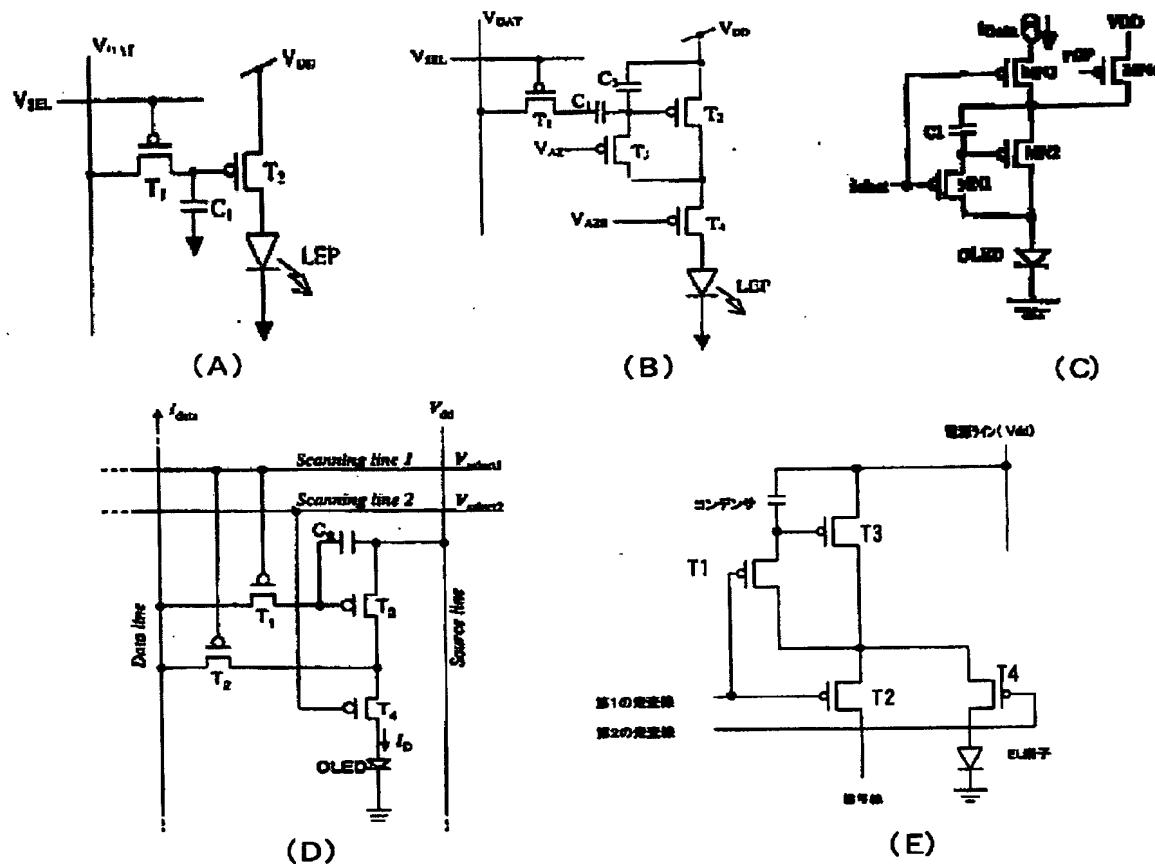
【図19】



【図24】



【図25】



フロントページの続き

(51) Int.C1.7
G 0 9 G 3/20

識別記号

6 2 2
6 2 4
6 8 0

H 0 5 B 33/08
33/14

F I
G 0 9 G 3/20

テーマコード(参考)

6 2 1 M
6 2 2 E
6 2 4 B
6 8 0 T
6 8 0 V

H 0 5 B 33/08
33/14

A

(72) 発明者 中村 亜希子
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 沼田 幸雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 3K007 AB02 AB04 BA06 DA01 DB03
EB00 GA04
5C080 AA06 BB05 DD03 DD07 DD08
EE28 FF11 JJ03 JJ04 JJ05
5C094 AA07 AA08 AA13 AA53 AA55
BA03 BA12 BA27 CA19 CA24
CA25 DA09 DA13 DB01 DB04
EA04 EA05 EA07 EB02 GA10
5G435 AA01 AA04 AA16 BB05 CC09
CC12 HH12 HH13 HH14